

Rodina procesorů Intel Nehalem (historie a vývoj)

**Petr Haviček
HAV319**

Úvod

Nehalem je označení pro novou mikroarchitekturu procesorů od společnosti Intel. Je následníkem architektury Intel Core. První procesor z této rodiny byl představen 15. listopadu 2008 v Tokiu. Jednalo se o Core i7.

Na obrázku číslo 1 se nachází porovnání procesorů z mikroarchitektury Nehalem a Core. Již na první pohled vidíme, že Nehalem(vlevo) je větší a obsahuje více datových pinů, než Core(vpravo). Pokud se podíváme do samotné mikroarchitektury Nehalemu, pak nalezneme ještě mnohem více změn a novinek. Hlavní z nich jsou:

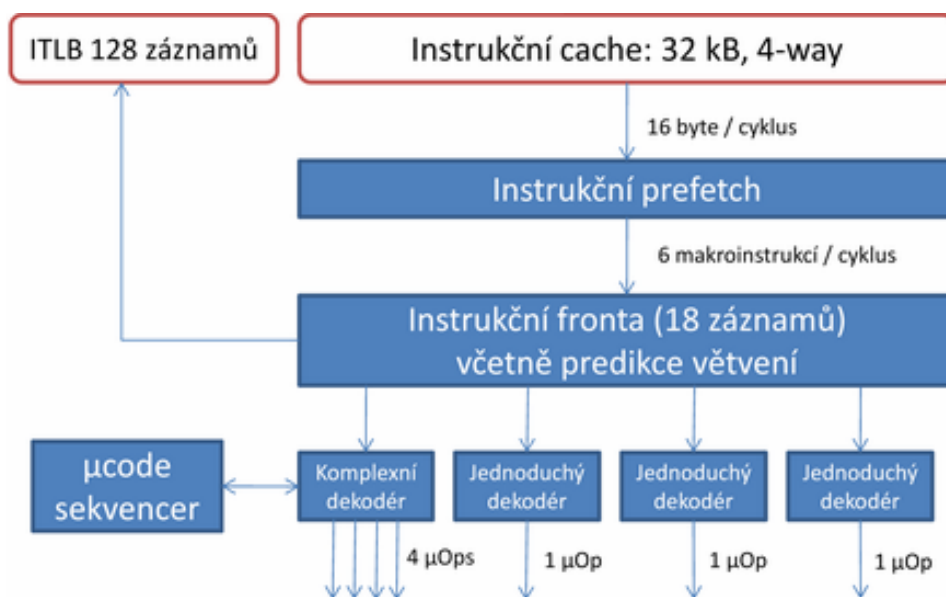
- nová datová sběrnice QPI
- 45 nm technologie
- vrácen Simultaneous Multi-Threading (obsažen již v Pentium 4)
- L3 cache
- integrovaný paměťový řadič (DDR3)
- technologie Turbo Boost
- nová patice LGA 1366



Obrázek číslo 1 : Porovnání mikroarchitektur Nehalem(vlevo) a Core(vpravo)

Zpracování instrukcí

Při zpracování instrukcí se využívají vlastní mikroinstrukce procesoru zvané microOPs. Tudiž všechny x86 instrukce(macroOPs), které má procesor provádět, jsou rozděleny na jednu či více microOPs, to záleží na složitosti. Ještě před samotným převedením instrukce x86 na microOPs se provede tak zvané fúzování x86 instrukce. Fúzování je proces, při kterém se více jednodušších x86 instrukcí převedou na jednu složitější x86 instrukci, která se ovšem provede rychleji než více jednodušších instrukcí. Na obrázku číslo 2 je schéma zpracování instrukcí.



Obrázek číslo 2 : Zpracování instrukcí.

Na obrázku číslo 3 vidíme dekodér pro převod x86 instrukcí na microOPs. Ten obsahuje jeden komplexní dekodér a tři jednoduché dekodéry. Komplexní dekodér dokáže zpracovávat jakoukoliv x86 instrukci a je schopen vydat 4 microOPs za takt. Jednoduchý dekodér slouží ke zpracování jednodušších x86 instrukcí a vydá 1 microOps za tak. Celkově je dekodér schopen vydat 7 microOPs za takt. Tyto instrukce se ukládají do microOPs fronty s kapacitou 28 záznamů, kde jsou následně ještě fúzovány a dále zpracovány.

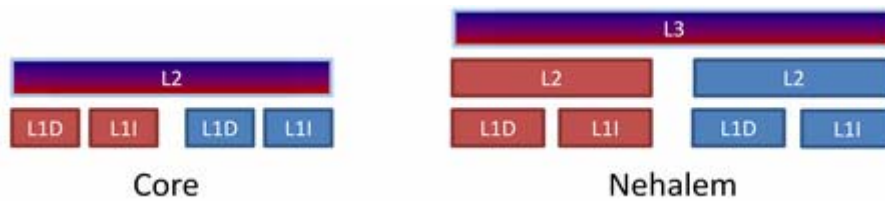


Obrázek číslo 3 : Převod x86 na microOPs

Cache paměť

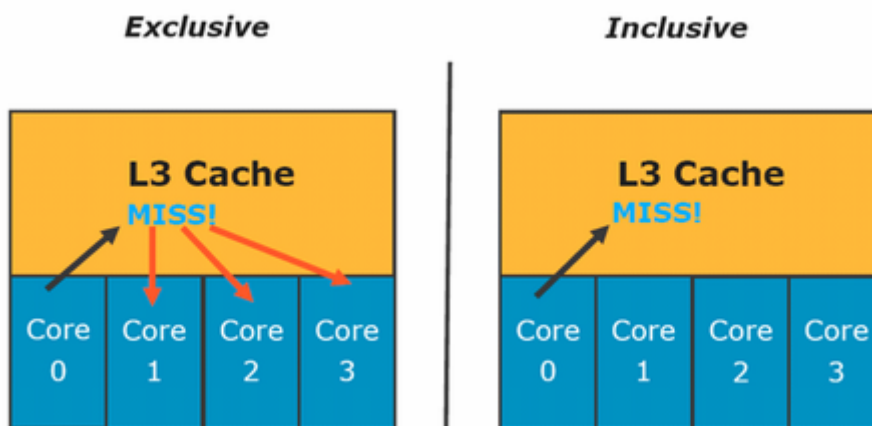
Hlavní novinkou v paměti cache oproti mikroarchitektuře Core je přidání další úrovně paměti a to L3. Na obrázku 4 vidíme srovnání cache paměti.

Paměť L1 má velikost 64 kB a je rozdělena na datovou (32kB) a instrukční (32kB). Je samostatná pro každé jádro. Její rychlost jsou 4 cykly. Nad ní se nachází L2 paměť, které je opět samostatná pro každé jádro. Její velikost je 256kB a rychlost je 10 cyklů. Paměť L3 je již ovšem sdílená mezi všemi jádry a má velikost 8MB. Rychlost je 40 cyklů. Z tohoto důvodu se stává synchronizace mezi jádry poměrně pomalá. Srovnáme-li rychlost L1, L2 paměti s L3.



Obrázek 4 : Porovnání cache paměti Core a Nehalem

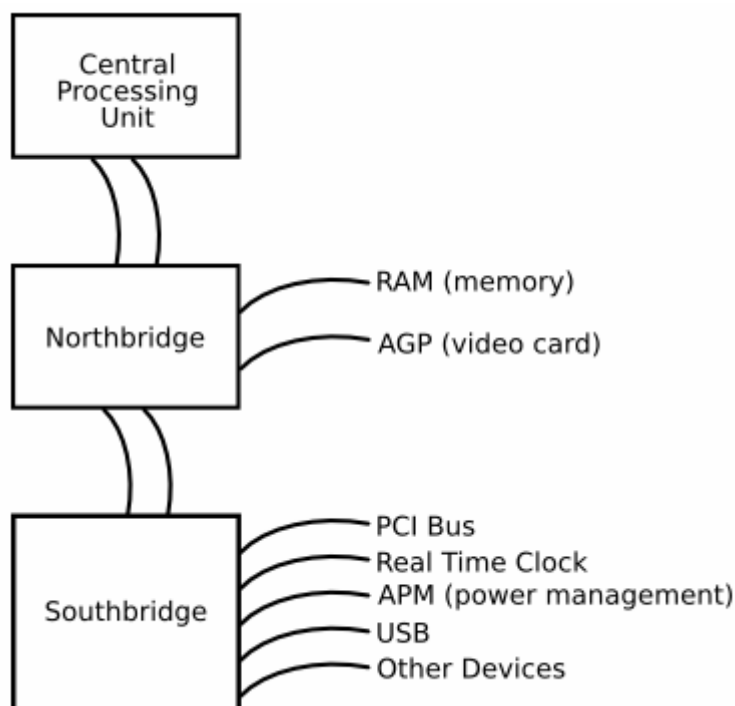
Cache je organizována jako inklusivní. To znamená, že data obsažena v L1 jsou také obsažena v L2 a L3. Porovnání exkluzivní a inklusivní paměti můžeme vidět na obrázku 5. To má za následek, že je zmenšena celková kapacita paměti cache. Ovšem přináší to sebou i určité výhody, jako v případě cache miss je zajištěno, že data nejsou obsažena v žádném jiném jádře a je rovnou možnost požádat o data paměť RAM.



Obrázek 5 : Rozdíl mezi exkluzivní a inklusivní paměti

Integrovaný řadič paměti

Hlavní změnou oproti předcházejícím architekturám Intelu je to, že paměťový řadič je umístěn v procesoru. Dříve byl umístěn v severním můstku, takže když chtěl procesor přistupovat k RAM paměti tak musel jít přes severní můstek, jak vidíme na obrázku číslo 6. To, že je řadič paměti umístěn v procesoru, má za následek zrychlení přístupu k RAM paměti.

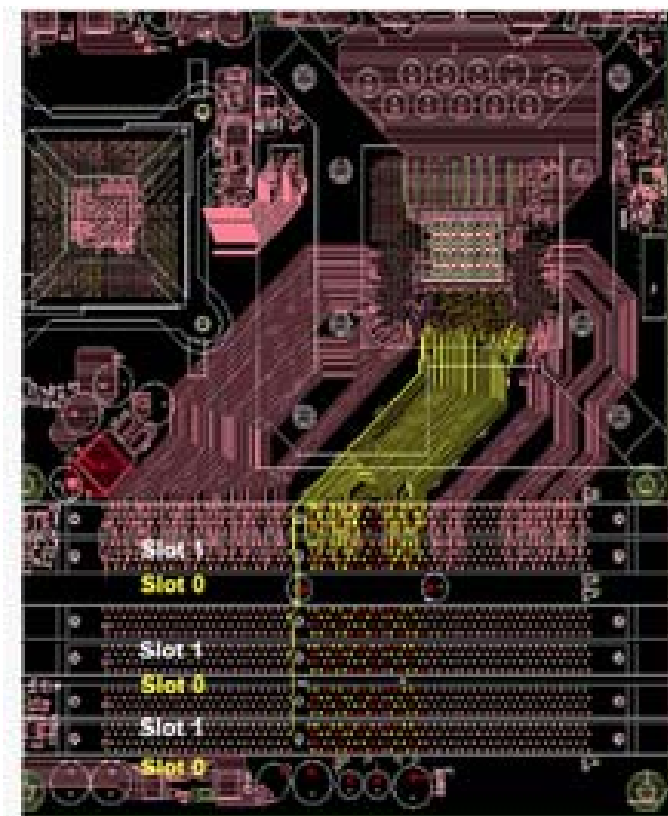


Obrázek 6: Přístupování procesoru k RAM paměti přes severní můstek

Jak už bylo řečeno, tak procesor přistupuje k RAM paměti pomocí integrovaného paměťového řadiče obsaženého v sobě. Tento paměťový řadič je tříkanálový(3*64bit) a na každý kanál je možno připojit dva DIMM moduly, to znamená, že je možnost celkově připojit až 6 paměťových modulů. Tyto paměťové moduly jsou typu DDR3 na frekvencích 800 MHz, 1066MHz a 1333MHz.

Sloty paměti můžeme osadit různě velkými moduly, řadič umí několik módů jak s nimi pracovat a to asymetrický dual-channel či asymetrický triple-channel, ale nejlepšího výkonu dosáhneme, pokud osadíme paměťové moduly stejné kapacity.

Na obrázku číslo 7 je ukázáno, jak je řešen paměťový řadič. Je vidět, že je procesor opravdu propojen přímo s paměti, přes velké množství datových spojů.



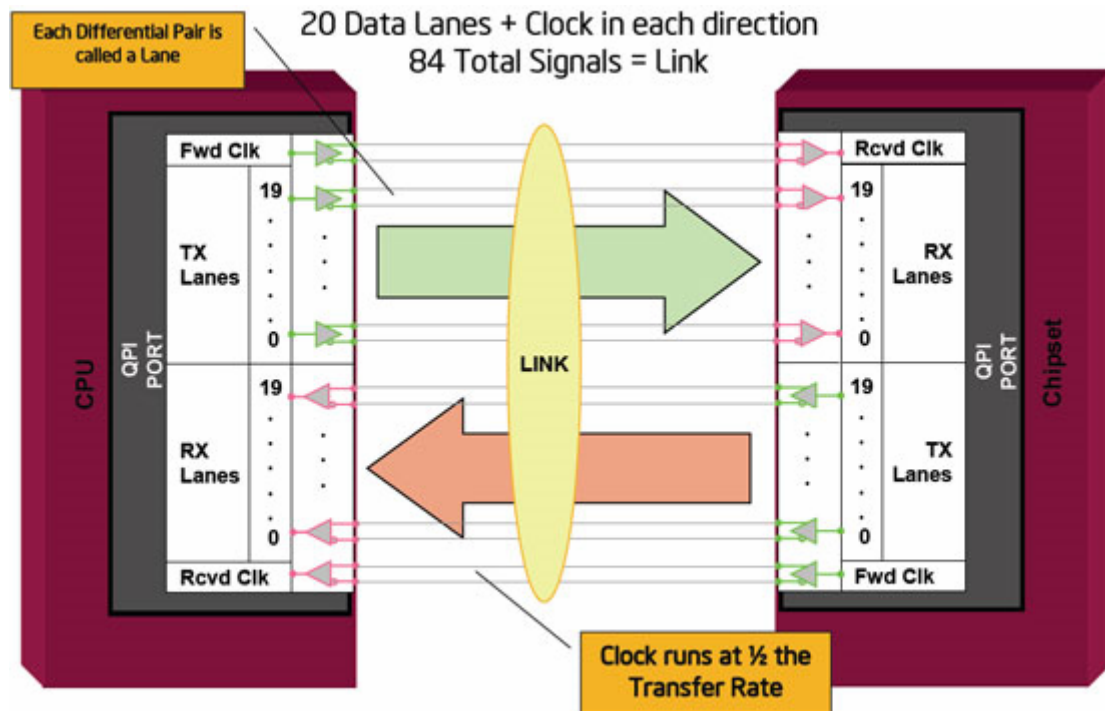
Obrázek 7: Integrovaný paměťový řadič

QuickPath Interconnect (QPI)

QPI je nová sběrnice nahrazující starou sběrnici FSB. Skládá se ze dvou 20-pinových spojů (full duplex), to znamená 20 pro příchozí komunikaci a 20 pro odchozí. Z těchto 20-ti spojů je jich 16 určeno pro komunikaci a 4 zbývající pro řízení provozu a detekci chyb. Je zobrazena na obrázku 8.

QPI pracuje na frekvencích 2,4 GHz, 2,93 GHz nebo 3,2 GHz a její celková maximální propustnost je 12,8GB/s, v jednom směru, tudíž v obou směrech 25,6GB/s.

Hlavní použití je v propojení procesoru a chipsetu, nebo pro propojení procesorů mezi sebou, což je uplatňováno hlavně u serverů. Tyto jsou ukázány na obrázku číslo 9.



Obrázek 8: Sběrnice QPI

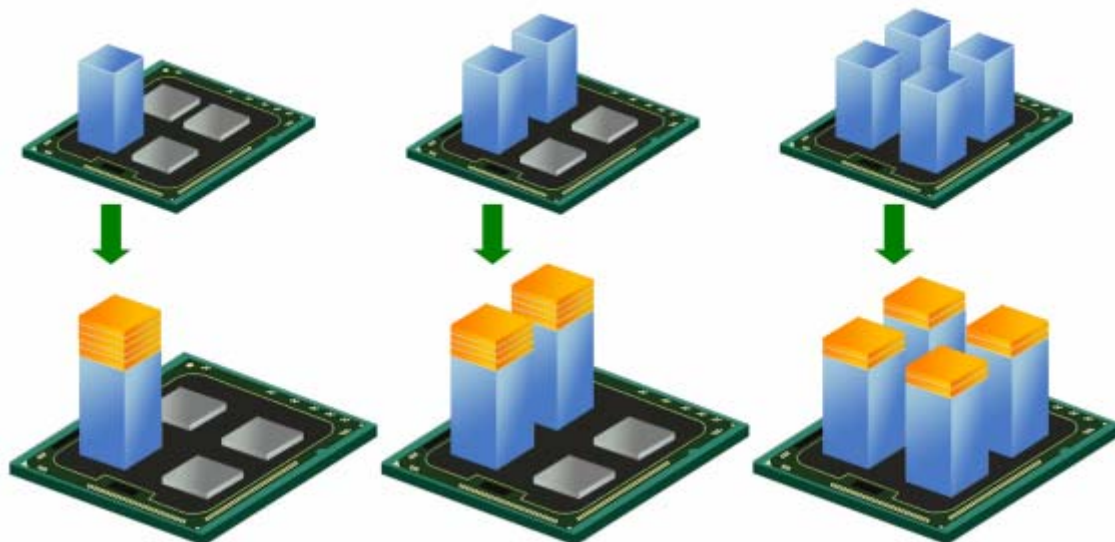


Obrázek 9: Použití QPI

Turbo Boost

Tato technologie slouží k automatickému zvyšování frekvence procesoru. Hlavní použití má v případě, kdy procesor má vytížené jedno jádro, nějakou aplikací používající jedno jádro. V takovém případě je možno automaticky zvednout frekvenci využívaného jádra a to tak, že zvedneme násobič až o 5, ovšem za podmínky, že ostatní jádra mají minimální vytížení. Hlavním důvodem tohoto pravidla je to, že nesmíme překročit doporučenou pracovní teplotu procesoru.

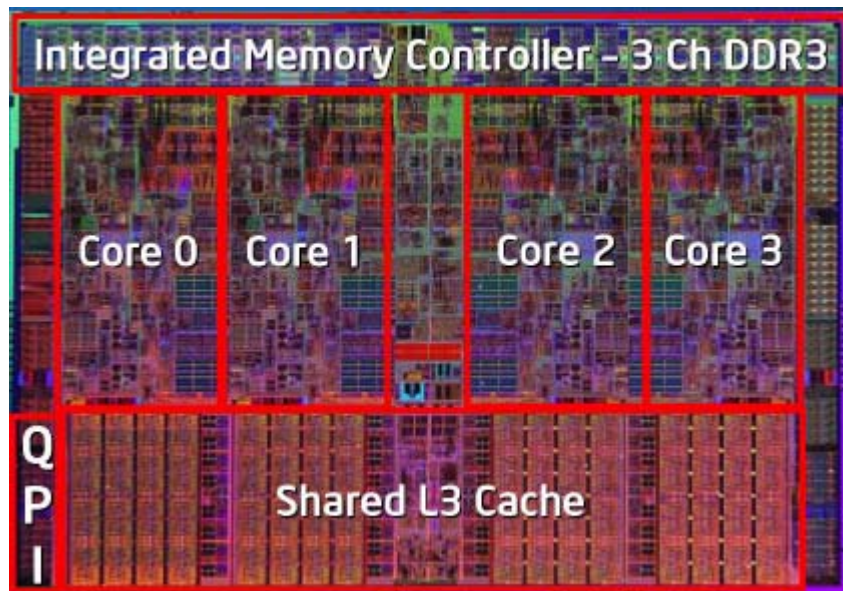
Pokud jsou 2 jádra plně vytížená a zbylá dvě jsou v minimálním zatížení, pak je možno zvednout násobič o 2-3. Pokud jsou všechny jádra maximálně zatížená, pak lze zvednout násobič o 1-2. Zvyšování výkonu procesoru je zobrazeno na obrázku 10.



Obrázek 10: Turbo Boost

Uspořádání procesoru

Na obrázku číslo 11 vidíme uspořádání jednotlivých funkčních jednotek na procesoru architektury Nehalem. Na horní straně se nachází integrovaný řadič paměti, pod ním jsou umístěna 4 jádra. Spodek procesoru je osazen L3 cache pamětí a po stranách jsou piny QPI sběrnice.



Obrázek 11: Uspořádání architektury Nehalem

Historie a vývoj

První procesory architektury Intel Nehalem byla řada Core i7 a byly představeny 15. listopadu 2008. V září roku 2009 vyšla řada Core i5. V roce 2010 má vyjít řada Core i3 a Core i9.

Použitá literatura

<http://www.cdr.cz/a/23871>

http://en.wikipedia.org/wiki/Intel_Nehalem_%28microarchitecture%29

<http://pctuning.tyden.cz/hardware/procesory-pameti/11494?start=4>

<http://pctuning.tyden.cz/hardware/procesory-pameti/11499?start=3>

<http://pctuning.tyden.cz/hardware/procesory-pameti/14902-core-i7-800-a-core-i5-700-nehalem-uz-take-ve-stredni-tride?start=2>